Electrical Circuits
Tüm konular

Kaynak temelli Türkçe çalışma notları

7 Kasım 2026

Okuma notu

Kavramlar İngilizce adları ve Türkçe karşılıklarıyla açıklanır. Kaynak kimlikleri dosya inceleme raporunda karşılık bulur. Hazırlık örnekleri ile çıkmış final soruları ayrı etiketlenmiştir. Güncel vize kapsamı resmi duyuruyla doğrulanmamıştır.

İçindekiler

1 Basic Quantities, Sources and Power **4**

1.1 Devreyi fiziksel büyüklüklerle okumak 4
1.2 Voltage bir farktır: Reference node ve polarity 4
1.3 SI prefixes ve boyut kontrolü 5
1.4 Independent Sources: Ne sabittir, ne çözülür? 5
1.5 Dependent Sources ve kontrol denklemi 5
1.6 Power ve Passive Sign Convention 6
1.7 Tellegen's Theorem: Bütün devre için güç kontrolü 6
1.8 Energy ve çalışma kontrolü 7

2 Resistive Networks and Circuit Reduction **7**

2.1 Ohm's Law ve conductance 8
2.2 Series bağlantı: Ortak current neden zorunludur? 8
2.3 Parallel bağlantı: Ortak voltage neden zorunludur? 8
2.4 Voltage Divider: Formülün türetilmesi 9
2.5 Current Divider: Payda neden ters görünür? 9
2.6 Yeni fotoğrafın ayrıntılı çözümü: Çok source'lu parallel devre 10
2.7 Open Circuit ve Short Circuit 10
2.8 Delta–Wye Transformation: Uç adlarıyla öğrenmek 10
2.9 Yeni defterdeki bridge network: 36 V örneği [K0571] 11
2.10 Reduction yapamadığında ne yapmalısın? 11

3 Topology, KCL and KVL **11**

3.1 Node, essential node, branch, loop ve mesh . . . 12
3.2 KCL: Charge conservation . . . 12
3.3 Node-to-node resistor current: En güvenli yazım . . . 12
3.4 KVL: Voltage toplamı neden sıfır? . . . 13
3.5 İki source varsa: Aiding ve opposing . . . 13
3.6 Branch currents ve mesh currents aynı değildir . . . 13
3.7 Bağımlı kaynak içeren tek loop: Kaynak fotoğrafı [K0436] . . . 14
3.8 Tellegen kontrolünü sistematik uygulamak . . . 14
3.9 Sınavda çözümün yazım düzeni . . . 14

4 Nodal Analysis and Supernode 14
4.1 Neden node voltage unknown seçilir? . . . 15
4.2 Standart KCL yazımı . . . 15
4.3 Tek node ile tam çözüm . . . 15
4.4 İki unknown node: Şema ve denklemler . . . 15
4.5 Sonuçları current ve power ile doğrulamak . . . 16
4.6 Conductance matrix nasıl kurulur? . . . 16
4.7 Ground'a bağlı voltage source . . . 16
4.8 Floating voltage source neden Supernode gerektirir? . . . 16
4.9 Supernode: Tam sayısal örnek . . . 16
4.10 Dependent source ile nodal denklem . . . 17
4.11 Fotoğrafları okuma ve kanıt sınırı . . . 17
4.12 En sık hatalar ve düzeltme yöntemi . . . 17

5 Mesh Analysis, Loop Analysis and Supermesh 18
5.1 Mesh current seçimi ve ortak branch . . . 18
5.2 İki mesh: Tam çözüm ve fiziksel kontrol . . . 18
5.3 Resistance matrix . . . 19
5.4 Üç mesh için örnek denklem sistemi . . . 19
5.5 Dış branch'teki current source . . . 19
5.6 Shared current source ve Supermesh . . . 19
5.7 Supermesh: Sayısal örnek . . . 19
5.8 Dependent source ile mesh . . . 20
5.9 Loop mu Mesh mi Nodal mı? . . . 20
5.10 Çözüm şablonu ve son kontrol . . . 20

6 Superposition, Source Transformation and Equivalent Circuits 20
6.1 Linearity: Neyi toplayabiliriz? . . . 20
6.2 Source deactivation: Sıfırlamak ne demek? . . . 21
6.3 Superposition Theorem: Adım adım . . . 21

6.4 Superposition: Çözümü iki yolla doğrulamak . . . 21
6.5 Source Transformation: Terminal equivalence . . . 22
6.6 Thevenin's Theorem: Yükü çıkarıp soldaki ağı görmek . . . 22
6.7 Çıkmış finalden temel soru: 50 V, 5 ve 20 ohm [K0290 S19] . . . 22
6.8 Norton's Theorem ve kısa devre current'ı . . . 23
6.9 Test source ile R_{Th}: Dependent source varsa . . . 23
6.10 Maximum Power Transfer: Hangi load? . . . 23
6.11 Aynı soru için yöntem seçimi . . . 23

7 Capacitors, Inductors and Scope-dependent Topics 24
7.1 Capacitance: Charge ve voltage ilişkisi . . . 24
7.2 Geometry: Hoca vurgusu ve doğru yönler . . . 24
7.3 Series ve parallel capacitors . . . 24
7.4 Inductance: Current continuity . . . 25
7.5 Switching sorusu için üç ayrı zaman . . . 25
7.6 First-order response ve time constant . . . 25
7.7 Sinusoid parametreleri ve RMS . . . 26
7.8 Phasor ve impedance . . . 26
7.9 Çıkmış RL sinusoid örneği ve hatalı işaretli seçenek . . . 26
7.10 Vize için çalışma sırası . . . 26

1 Basic Quantities, Sources and Power

Bu bölümün hedefi ve kaynakları

Charge (yük), current (akım), voltage (gerilim), power (güç) ve energy (enerji) kavramlarını birbirinden ayırmak; source (kaynak) türlerini tanımak; absorbed/supplied power işaretini doğru bulmak. Ana kaynaklar: Week 1 s.4–10 [K0178], Week 2 s.1–6 [K0181], BZ203 Lec 1 [K0213], yeni defter fotoğrafları [K0562–K0565]. Sayfa numaraları PDF dosyasındaki sayfalardır.

1.1 Devreyi fiziksel büyüklüklerle okumak

Electrical circuit, birbirine bağlanan elemanlar ve iletken yolların oluşturduğu sistemdir. Analiz yaparken telin fiziksel uzunluğundan çok hangi uçların birbirine bağlı olduğunu izleriz. İdeal wire (tel) üzerindeki voltage drop sıfır kabul edilir. Bu nedenle kesintisiz tel üzerindeki bütün noktalar aynı node voltage değerindedir.

Charge q, coulomb (C) ile ölçülür. Elektron yükü negatiftir; büyüklüğü yaklaşık 1.602×10^{-19} C'dir. Conventional current (konvansiyonel akım) pozitif yükün hareket yönüyle tanımlanır. Metal iletkendeki elektron hareketi bu yönün tersidir. Denklem yazarken konvansiyonel yön kullanılır.

$$i(t) = \frac{dq(t)}{dt}, \qquad q(t_2) - q(t_1) = \int_{t_1}^{t_2} i(t)\,dt.$$

Bir amper, bir kesitten saniyede net bir coulomb yük geçişidir. Bir noktada yükün bulunması current olduğu anlamına gelmez; current, yükün zamana göre aktarım hızıdır.

Örnek 1: Charge ile current ilişkisi

$q(t) = 3t^2 + 2t$ mC ve t saniye cinsindedir. $i(2)$ ve 0–2 s arasında taşınan yükü bulunuz.

Çözüm

Türev alınır: $i(t) = 6t + 2$ mA. Dolayısıyla $i(2) = 14$ mA. Aktarılan yük $q(2) - q(0) = 16$ mC'dir. İntegralle kontrol: $\int_0^2 (6t+2)dt = 16$ mC. mC/s, mA eder; burada sonucu amper olarak yazmak bin kat hata doğurur.

1.2 Voltage bir farktır: Reference node ve polarity

Voltage, birim yük başına enerji farkıdır:

$$v = \frac{dw}{dq}, \qquad 1\ \text{V} = 1\ \text{J/C}, \qquad v_{ab} = v_a - v_b.$$

Reference node (referans düğüm, ground) sıfır volt seçilen noktadır. Ground her zaman fiziksel toprak bağlantısı demek değildir. Bir node için $v_a = -5$ V yazılması, o noktanın seçilen referanstan 5 V düşük potansiyelde olduğunu söyler.

$v_{ab} = 8$ V ise $v_{ba} = -8$ V olur. İki ucun gerilimleri $v_a = 10$ V, $v_b = -5$ V ise aradaki fark $10 - (-5) = 15$ V'dir. Kaynakları veya direnci hesaplarken alt uçta yazan negatif sayıyı doğrudan çıkarmak gerekir.

Current oku sonuçtan önce seçilen bir referanstır

Bir branch için oku sağa çizip $i = -2$ A bulmak çözümün yanlış olduğunu göstermez. Gerçek akım sola 2 A'dir. Başlangıçta okun yönünü tahmin etmek zorunda değilsin; yönü değiştirmeden

denklemleri tutarlı çözmen yeterlidir. Bir negatif sonucu pozitif yapıp eski oku korumak ise fiziksel yön bilgisini kaybettirir.

1.3 SI prefixes ve boyut kontrolü

Prefix	Çarpan	Örnek
mega (M)	10^6	$2\ \mathrm{M\Omega} = 2 \times 10^6 \Omega$
kilo (k)	10^3	$4.7\ \mathrm{k\Omega} = 4700 \Omega$
milli (m)	10^{-3}	$3\ \mathrm{mA} = 0.003\ \mathrm{A}$
micro (μ)	10^{-6}	$50\,\mu\mathrm{F} = 50 \times 10^{-6}\ \mathrm{F}$
nano (n)	10^{-9}	$100\ \mathrm{nF} = 0.1\,\mu\mathrm{F}$

Pratik hesaplarda $\mathrm{V/k\Omega} = \mathrm{mA}$, $\mathrm{mA} \cdot \mathrm{k\Omega} = \mathrm{V}$ ve $\mathrm{V} \cdot \mathrm{mA} = \mathrm{mW}$ kullanılır. Ancak aynı denklemde 2Ω ile $3\ \mathrm{k\Omega}$ sayısal olarak $2 + 3$ diye toplanamaz. Önce birimleri eşitle.

1.4 Independent Sources: Ne sabittir, ne çözülür?

Independent voltage source (bağımsız gerilim kaynağı), belirtilen uçlar arasındaki voltage değerini dayatır; üzerinden geçen current devreye bağlıdır. Independent current source (bağımsız akım kaynağı), ok yönündeki current değerini dayatır; uçları arasındaki voltage devreye bağlıdır. Independent sözcüğü kaynağın mutlaka DC ve sabit olduğu anlamına gelmez; başka devre değişkeninden bağımsız belirlenmesi anlamına gelir. $v_s(t) = 10 \sin t$ de independent source olabilir.

İdeal voltage source'un iç direnci sıfırdır. İdeal current source'un iç direnci sonsuzdur. Kaynak bir direnç gibi $v = Ri$ bağıntısıyla tanımlanmaz; unknown current veya voltage değerini KCL/KVL ile buluruz.

İdeal kaynakları yanlış bağlamak

Farklı değerli ideal voltage source'ları paralel bağlamak çelişkili gerilim koşulları üretir. Farklı değerli ideal current source'ları tek bir seri yol üzerinde bağlamak da çelişkili current koşulları üretebilir. Bu, cebir hatasından önce modelin fiziksel tutarsızlığıdır.

1.5 Dependent Sources ve kontrol denklemi

Dependent source (bağımlı kaynak), değeri devredeki başka bir voltage veya current ile belirlenen kaynaktır. Diamond (baklava) simgesiyle gösterilir. Kontrol büyüklüğü, kaynağın kendisinden farklı bir branch üzerinde olabilir.

Tür	Açılım	Bağıntı	Katsayı birimi
VCVS	Voltage-controlled voltage source	$v_s = \mu v_x$	boyutsuz
VCCS	Voltage-controlled current source	$i_s = g v_x$	S
CCVS	Current-controlled voltage source	$v_s = r i_x$	Ω
CCCS	Current-controlled current source	$i_s = \beta i_x$	boyutsuz

Bir dependent source gördüğünde önce v_x için polarity veya i_x için oku bul. Sonra bu büyüklüğü unknown'larınla ifade et. Örneğin $v_x = v_1 - v_2$ ve $i_s = 2v_x$ ise, katsayı 2 S'dir ve KCL'ye $2(v_1 - v_2)$ amper olarak girer.

Yeni fotoğraflardan gelen çalışma önceliği

K0564 source türlerini, K0563 controlled source içeren power hesabını, K0573–K0585 sınıf tahtası fotoğrafları ise dependent source içeren nodal/loop denklemlerini gösteriyor. Bunlar bu dersin doğrudan materyalidir. Tahta fotoğraflarındaki okunmayan küçük sayılar için sonuç uydurulmamış; yöntemler ilgili bölümlerde açık şemalarla yeniden anlatılmıştır.

1.6 Power ve Passive Sign Convention

Instantaneous power (anlık güç), enerji aktarım hızıdır: $p(t) = dw/dt$. Voltage ve current birlikte bilindiğinde:

$$p(t) = v(t)i(t) \quad \text{(current, voltage'ın + ucundan giriyorsa).}$$

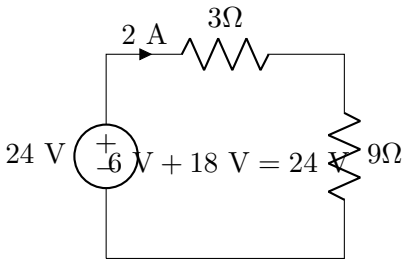
Bu kurala Passive Sign Convention (pasif işaret kuralı, PSC) denir. $p > 0$ ise eleman o anda power absorbs (güç alır); $p < 0$ ise power supplies/delivers (güç verir). Current, işaretlenen eksi uçtan giriyorsa absorbed power $p = -vi$ olur.

Active/passive (aktif/pasif) eleman sınıfı ile o anda güç verme/alma durumu aynı şey değildir. Battery şarj olurken power absorbs. Source olması her anda güç verdiğini garanti etmez. İdeal pozitif resistance ise $p = i^2R = v^2/R \geq 0$ ile güç tüketir. Capacitor ve inductor daha önce depoladıkları enerjiyi geri verebilir; bu onları enerji üreten source yapmaz.

! Hoca derste vurguladı [video ders 2 34:04–35:42]

Hoca active/passive ayrımını önemli bulduğunu ve önceki Electrical Circuits vize, final ve bütünleme sınavlarında sorduğunu söylüyor. Bu, ilgili dersin geçmişine ilişkin sözlü kanıttır; elimizde üç özgün vize kâğıdı bulunduğu anlamına gelmez. DC slaytları ve yeni K0564 fotoğrafı için temel sınıflandırma: voltage/current sources active; resistor/capacitor/inductor passive.

1.7 Tellegen's Theorem: Bütün devre için güç kontrolü



KCL/KVL'yi sağlayan bir lumped circuit (toplu parametreli devre) için, her elemanda aynı absorbed-power işaret kuralı kullanıldığında:

$$\sum_{k=1}^{b} p_k = \sum_{k=1}^{b} v_k i_k = 0.$$

Yani toplam supplied power büyüklüğü toplam absorbed power büyüklüğüne eşittir. Bu bir ek enerji kaynağı değildir; çözümün tutarlılık kontrolüdür. Kontrol için güçleri mutlak değerle toplama. Önce her branch için işaretli absorbed power yaz.

Yeni defterden: 24 V, 6 V ve 18 V [K0562

] Tek loop'ta 24 V source, 6 V düşümlü bir eleman ve 18 V düşümlü ikinci eleman var. Current 2 A; source'tan + uçtan çıkıp iki elemanın + ucuna giriyor. Güçleri bulunuz.

Çözüm

Source absorbed power: $p_s = -24 \cdot 2 = -48$ W, yani 48 W supplies. Elemanlar $p_1 = 6 \cdot 2 = 12$ W ve $p_2 = 18 \cdot 2 = 36$ W absorbs. KVL: $24 - 6 - 18 = 0$. Tellegen kontrolü: $-48 + 12 + 36 = 0$. Defterdeki pozitif "sağlanan güç" gösterimi ile buradaki negatif absorbed-power gösterimi aynı fiziksel durumu anlatır.

Yeni defterden: İki eleman power supplies [K0562

] Current 3 A. Current source üzerinde 12 V var ve current + uçtan çıkıyor. İlk elemanda current +18 V ucundan giriyor. İkinci elemanda üst uç eksi, alt uç artı; current yukarıdan aşağı 3 A. Power dağılımını bulunuz.

Çözüm

Current source $p_s = -12 \cdot 3 = -36$ W. Birinci eleman $p_1 = 18 \cdot 3 = 54$ W. İkinci elemanın current giriş ucu eksi olduğu için $p_2 = -6 \cdot 3 = -18$ W. Toplam $-36 + 54 - 18 = 0$. İkinci elemanın source niteliğinde güç verdiği sonucu polarity ve current ilişkisinden çıkar; çizimde dikdörtgen olması direnç olduğu anlamına gelmez.

1.8 Energy ve çalışma kontrolü

Energy için power zamana göre integral alınır: $w(t_2) - w(t_1) = \int_{t_1}^{t_2} p(t)dt$. Sabit 12 W güç 5 s sürerse 60 J aktarılır. Watt ile joule aynı şey değildir. Wh bir energy birimidir: 1 Wh = 3600 J.

Bu bölümü bitirdiğinde şunları yapabilmelisin: current okunu seçmek ve negatif sonucu yorumlamak; node voltage ile iki uç arasındaki voltage'ı ayırmak; dört dependent source türünün katsayı birimlerini yazmak; her branch için absorbed power işaretini açıklamak; $\sum p = 0$ ile sonucu doğrulamak.

Kendini sına

Bir elemanda $v = 8$ V ve current + uçtan dışarı doğru 0.5 A. Absorbed power nedir? $i(t) = 4t$ mA için ilk 3 s'de kaç mC aktarılır? 12 V source 2 kΩ dirence bağlanırsa power kaç mW olur?

Çözüm

Sırasıyla -4 W; $\int_0^3 4t\,dt = 18$ mC; $I = 6$ mA ve $P = 72$ mW. Son soruda source 72 mW supplies, resistance 72 mW absorbs.

2 Resistive Networks and Circuit Reduction

Hedef ve kaynaklar

Ohm's Law (Ohm kanunu), equivalent resistance (eşdeğer direnç), series/parallel (seri/paralel), voltage divider (gerilim bölücü), current divider (akım bölücü), loaded divider (yüklü bölücü) ve delta–wye transformation (üçgen–yıldız dönüşümü). Kaynaklar: Week 2–3 [K0181–K0182], BZ203 Lec 2 [K0214], yeni notlar [K0567–K0572].

2.1 Ohm's Law ve conductance

Pozitif dirençli, doğrusal resistor için PSC kullanıldığında $v = Ri$. Conductance (iletkenlik) $G = 1/R$ olup siemens (S) ile ölçülür; böylece $i = Gv$ yazılabilir. Nodal Analysis'de conductance kullanmak paralel branch'leri toplarken işleri kolaylaştırır.

Direnç birimi ohm'dur: $1\Omega = 1$ V/A. Resistance sabitken voltage iki katına çıkarsa current iki katına, power dört katına çıkar. Bu yüzden nominal power rating (anma güç sınırı) aşılmamalıdır.

Power rating örneği

80 kΩ, 2 W resistor için izin verilen maksimum current nedir?

Çözüm

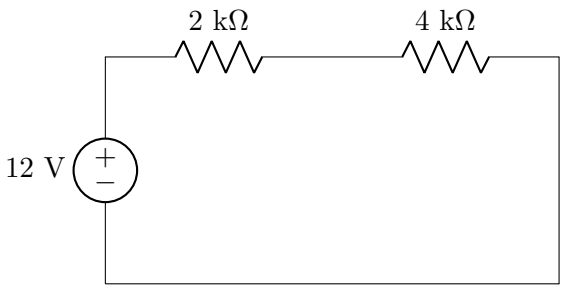
$P = I^2R$ kullanılır: $I_{max} = \sqrt{2/80000} = 0.005$ A $= 5$ mA. Birim kontrolü $\sqrt{\text{W}/\Omega} = \text{A}$. Kaynak [K0020] review question 2.4; bu kaynak bir ders kitabı soru derlemesidir, doğrulanmış vize değildir.

2.2 Series bağlantı: Ortak current neden zorunludur?

İki elemanın ortak node'unda üçüncü bir branch yoksa current bir elemandan çıkıp diğerine girmek zorundadır. KCL gereği current'ları eşittir. Bu series bağlantıdır. Elemanların çizimde yan yana görünmesi yeterli değildir.

$$R_s = R_1 + R_2 + \cdots + R_n.$$

Eşdeğerlik, dışarıdan bakıldığında aynı terminal voltage–current ilişkisini üretmek demektir. İç elemanların ayrı ayrı power değerlerini hesaplamak için indirgemeyi geriye doğru açmak gerekir.



Toplam resistance 6 kΩ; current $12/6 = 2$ mA. Voltage drops sırasıyla 4 V ve 8 V. Toplamı 12 V. Her resistor aynı current taşır fakat voltage düşümleri eşit değildir.

2.3 Parallel bağlantı: Ortak voltage neden zorunludur?

İki elemanın iki ucu da aynı iki node'a bağlıysa voltage'ları aynıdır. Current'lar resistance değerine göre bölünür:

$$G_p = \sum_k G_k, \qquad \frac{1}{R_p} = \sum_k \frac{1}{R_k}.$$

İki resistor için $R_p = R_1R_2/(R_1 + R_2)$. n tane eşit R resistor paralelse $R_p = R/n$. Pozitif resistance'larda equivalent parallel resistance, en küçük branch resistance'ından küçüktür. Sonuç 2 kΩ ile 6 kΩ paraleli için 8 kΩ çıkarsa mutlaka hata vardır; doğru değer 1.5 kΩ'dur.

Parallel bağlantıyı görmek için aynı node'ları A, B, C diye renklendir veya etiketle. Çizimi bükmek, döndürmek ya da tel uzunluğunu değiştirmek topology'yi değiştirmez. Yeni fotoğraf K0569'da farklı çizilen aynı iki-node bağlantılarının amacı budur.

2.4 Voltage Divider: Formülün türetilmesi

Series R_1, R_2 üzerinde toplam V_s varsa ortak current $I = V_s/(R_1 + R_2)$ olur. R_2 üzerindeki voltage:

$$V_2 = IR_2 = V_s \frac{R_2}{R_1 + R_2}.$$

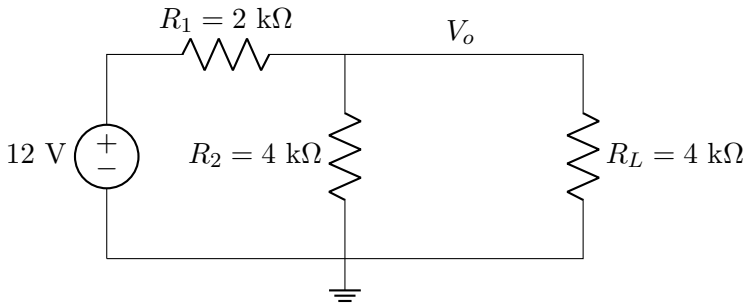
Payda, ortak current'ın geçtiği toplam resistance; pay ise voltage'ı istenen resistor'dır. $V_1 + V_2 = V_s$ kontrolü yapılabilir. Birden fazla series resistor için $V_k = V_{toplam} R_k / \sum R$.

Loaded divider hatası

Output'a load R_L bağlanınca R_2 artık tek başına değildir; $R_2 \parallel R_L$ oluşturur. Eski divider sonucunu kullanamazsın. Bir voltmetrenin ideal input resistance'ı sonsuz kabul edilir; gerçek voltmetrede sonlu input resistance da aynı yükleme etkisini üretir.

Unloaded ve loaded voltage divider

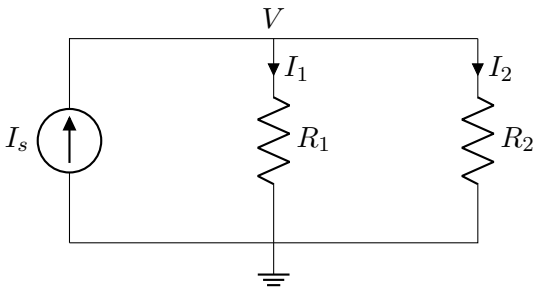
$V_s = 12$ V, $R_1 = 2$ kΩ, $R_2 = 4$ kΩ. Output, R_2 üzerindedir. Önce unloaded, sonra $R_L = 4$ kΩ ile loaded output'u hesaplayınız.



Çözüm

Unloaded $V_o = 12 \cdot 4/(2+4) = 8$ V. Loaded durumda $R_{alt} = 4 \parallel 4 = 2$ kΩ; $V_o = 12 \cdot 2/(2+2) = 6$ V. Source current $12/4 = 3$ mA'dir. Alt branch'lerin her biri $6/4 = 1.5$ mA taşır; KCL ile toplam 3 mA. Yük eklenince voltage 8 V'tan 6 V'a iner.

2.5 Current Divider: Payda neden ters görünür?



Toplam I_s, paralel R_1 ve R_2 arasında bölünsün. Önce ortak voltage $V = I_s(R_1 \parallel R_2)$ bulunur. Sonra $I_1 = V/R_1$:

$$I_1 = I_s \frac{R_2}{R_1 + R_2}, \qquad I_2 = I_s \frac{R_1}{R_1 + R_2}.$$

Current'ı istenen resistor paydada kendi R_1'iyle bölündüğü için sadeleştirme sonunda diğer resistance paya gelir. Küçük resistance daha büyük current taşır. Genel ve daha az karışan biçim:

$$I_k = I_s \frac{G_k}{\sum_j G_j}.$$

Bu formül, paralel grubun tamamına giren net current biliniyorsa geçerlidir. Parallel voltage source varsa voltage zaten sabittir; önce $I_k = V/R_k$ kullanmak daha kolaydır.

2.6 Yeni fotoğrafın ayrıntılı çözümü: Çok source'lu parallel devre

K0572'de parallel resistor'lar 18, 9, 12 ve load 12 kΩ; current source'lar 1 mA yukarı, 4 mA aşağı, 2 mA yukarıdır. Üstten alta resistor current'larını pozitif alalım. Net yukarı source current $1-4+2 = -1$ mA'dir.

$$G_{toplam} = \frac{1}{18} + \frac{1}{9} + \frac{1}{12} + \frac{1}{12} = \frac{1}{3}\ \text{mS}.$$

Dolayısıyla $V = -1/(1/3) = -3$ V. Load current $I_L = -3/12 = -0.25$ mA; gerçek yön yukarıdır. Diğer branch current'ları $-1/6$, $-1/3$ ve $-1/4$ mA olup load ile toplamları -1 mA eder.

Alternatif current-divider çözümü: load dışındaki $18 \parallel 9 \parallel 12 = 4$ kΩ. Bu 4 kΩ ile load 12 kΩ arasında $I_L = (-1)\cdot 4/(4+12) = -0.25$ mA. Defterdeki sonuç böyle doğrulanır.

Fotoğrafın genel KCL satırındaki yön kontrolü

Aynı fotoğrafın üst şemasında i_3 oku yukarı çizilmişken ilk KCL satırında eksi işaretiyle yazılmış görünüyor. O ok yukarı olarak okunuyorsa üst node'a girer ve $i_1 + i_3 + i_4 - i_2 - i_5 - i_6 = 0$ olmalıdır. Alt sayısal örneğin işaretleri ise net source current üzerinden ayrıca kontrol edilmiştir. Ok yönünü formülden tahmin etmek yerine çizimden oku.

2.7 Open Circuit ve Short Circuit

Open circuit (açık devre): current sıfır, voltage genel olarak sıfır olmak zorunda değil. Short circuit (kısa devre): voltage sıfır, current genel olarak sıfır olmak zorunda değil. Bu iki sınır durum hem reduction hem source deactivation hem de Thevenin/Norton hesaplarında kullanılır.

Bir resistor doğrudan ideal wire ile paralelse voltage sıfırdır; $I_R = 0/R = 0$. Akım kısa yoldan geçebilir. Bir branch açık uçla bitiyorsa o branch'teki series resistor üzerinde current ve voltage drop sıfır olur; açık ucun potansiyeli bağlandığı node'a eşit olabilir.

2.8 Delta–Wye Transformation: Uç adlarıyla öğrenmek

Üç terminali A,B,C olan delta için dirençler R_{AB}, R_{BC}, R_{CA} olsun. Wye merkezini O, dış kollardaki resistance'ları R_A, R_B, R_C olarak adlandıralım. $S = R_{AB} + R_{BC} + R_{CA}$ tanımıyla:

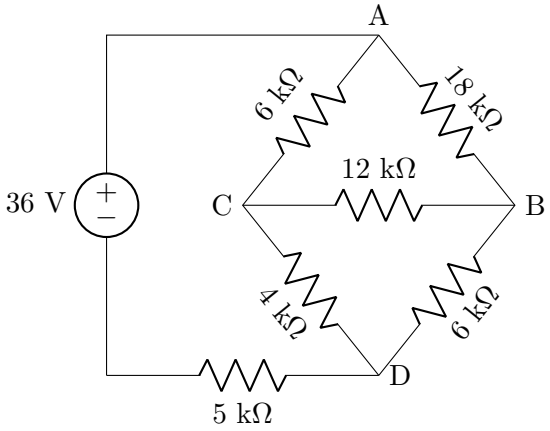
$$R_A = \frac{R_{AB}R_{CA}}{S}, \quad R_B = \frac{R_{AB}R_{BC}}{S}, \quad R_C = \frac{R_{BC}R_{CA}}{S}.$$

Her wye kolunun payında, o terminale değen iki delta resistance'ı bulunur. Ters dönüşümde $P = R_AR_B + R_BR_C + R_CR_A$:

$$R_{AB} = \frac{P}{R_C}, \quad R_{BC} = \frac{P}{R_A}, \quad R_{CA} = \frac{P}{R_B}.$$

Delta kolunun paydasına karşısındaki wye kolu gelir. "R_1 neredeydi?" diye ezberlemek yerine uç adlarıyla yazmak döndürülmüş şekillerde hata riskini azaltır.

2.9 Yeni defterdeki bridge network: 36 V örneği [K0571]



Üst node A, sol orta C, sağ orta B, alt node D olsun. $R_{AC} = 6$, $R_{AB} = 18$, $R_{BC} = 12$, $R_{CD} = 4$, $R_{BD} = 6$ kΩ. Devreye series 5 kΩ ve 36 V source bağlıdır. Üstteki A–B–C delta'sı için toplam 36 kΩ:

$$R_A = 6 \cdot 18/36 = 3, \quad R_C = 6 \cdot 12/36 = 2, \quad R_B = 18 \cdot 12/36 = 6 \quad (\text{k}\Omega).$$

Merkezden D'ye sol yol $2+4 = 6$, sağ yol $6+6 = 12$ kΩ; paralelleri 4 kΩ. Toplam $3+4+5 = 12$ kΩ ve source current $36/12 = 3$ mA. İki iç yolun voltage'ı $3 \cdot 4 = 12$ V; branch current'ları 2 mA ve 1 mA. Wye dönüşümünden sonraki iç current'lar, özgün delta'nın ayrı kol current'larıyla aynı olmak zorunda değildir; yalnızca dış terminallerde eşdeğerlik korunur.

2.10 Reduction yapamadığında ne yapmalısın?

Bridge'in orta resistor'ını görmezden gelmek genellikle yanlıştır. Denge koşulu $R_{AC}/R_{CD} = R_{AB}/R_{BD}$ ise orta node'ların voltage'ları eşit olur ve orta branch current sıfır çıkar. K0571 örneğinde $6/4 \neq 18/6$; dolayısıyla dengeli bridge değildir. Delta–wye uygula veya Nodal Analysis'e geç.

Her sadeleştirme adımından sonra küçük bir eşdeğer çizim yap. Sonra source current'ı bulup voltage ve current değerlerini geriye doğru aç. Son kontrolde equivalent resistance'ın sınırlarını, KCL'yi ve power balance'ı kullan.

Kendini sına

1) $3 \parallel 6$ kΩ nedir? 2) 9 mA bu gruba girerse 3 kΩ current'ı kaçtır? 3) Her kolu 9 Ω olan delta'nın wye kolları? 4) $R_1 = R_2 = 10$ kΩ divider'a 10 kΩ load eklenirse V_o/V_s?

Çözüm

1) 2 kΩ. 2) $9 \cdot 6/(3+6) = 6$ mA. 3) Her wye kolu $81/27 = 3\Omega$. 4) Alt equivalent 5 kΩ; oran $5/(10+5) = 1/3$. Unloaded oran 1/2 idi.

3 Topology, KCL and KVL

Hedef ve kaynaklar

Node (düğüm), branch (dal), loop (kapalı yol), mesh (göz) ve reference (referans) kavramlarını doğru saymak; Kirchhoff's Current Law ve Kirchhoff's Voltage Law ile denklem kurmak. Kay-

naklar: Week 3–5 [K0182, K0223, K0183], BZ203 Lec 2–3 [K0214–K0215], defter [K0570, K0572], sınıf tahtası [K0573–K0585].

3.1 Node, essential node, branch, loop ve mesh

Node, iki veya daha fazla elemanın birleştiği iletken bölgedir. İdeal tel üzerindeki bütün noktalar aynı node'a aittir. Essential node (esas düğüm) üç veya daha fazla branch'in birleştiği node'dur. Branch'i bu notlarda tek bir iki uçlu eleman olarak sayıyoruz. Bazı ders notları series eleman grubuna da branch diyebilir; sayma sorusunda kullanılan tanımı kontrol et.

Loop, başladığı node'a geri dönen ve ara node'ları tekrarlamayan kapalı yoldur. Mesh ise planar (düzleme kesişmeden çizilebilen) bir devrede içinde başka loop bulunmayan en küçük loop'tur. Her mesh bir loop'tur; her loop mesh değildir. Genel loop analysis ile mesh analysis'in bilinmeyen seçimi farklı olabilir.

Connected (bağlı) bir devrede n node ve b branch varsa bağımsız KCL denklemi sayısı $n-1$, bağımsız loop denklemi sayısı $b-n+1$'dir. İki sayının toplamı b eder. Her node için ayrı KCL yazabilirsin ama son denklem diğerlerinin toplamından elde edilir.

Topology sayma

Birbirine bağlı bir ağda 12 branch ve 8 bağımsız loop vardır. Node sayısını bulunuz.

Çözüm

$8 = 12 - n + 1$ olduğundan $n = 5$. Bağımsız KCL sayısı 4'tür. Connected koşulu gerekir; ayrı parçalardan oluşan bir ağda formül bileşen sayısına göre değişir. Kaynak: [K0020] review question 2.5.

3.2 KCL: Charge conservation

KCL (Kirchhoff's Current Law; Kirchhoff akım kanunu), bir node'a giren current toplamının çıkan current toplamına eşit olduğunu söyler:

$$\sum i_{\text{giren}} = \sum i_{\text{çıkan}} \quad \Longleftrightarrow \quad \sum_k i_k = 0.$$

İkinci biçimde her current için işaret seçilmiş olmalıdır. Örneğin girenleri pozitif, çıkanları negatif alırsan bu seçimi bütün node denklemlerinde tutarlı kullan. KCL bir direnç kanunu değildir; node üzerinde yük birikmediği lumped-circuit modelindeki conservation (korunum) ilkesidir.

Bir node'a 5 mA giriyor, 2 mA çıkıyor ve i_x oku çıkış yönünde seçilmişse $5 - 2 - i_x = 0$ ile $i_x = 3$ mA. Aynı oku girişe çevirirsen $5 - 2 + i_x = 0$ ve $i_x = -3$ mA. Fiziksel current değişmez.

3.3 Node-to-node resistor current: En güvenli yazım

Bir resistor v_a ve v_b node'ları arasındaysa, A'dan B'ye seçilen current:

$$i_{a\to b} = \frac{v_a - v_b}{R}.$$

Ohm's Law burada KCL'ye voltage cinsinden geçiş sağlar. A node'undan çıkan current'ları topluyorsan o node'un voltage'ı her payın ilk terimi olur. Örneğin 12 V source'a 3 kΩ, ground'a 6 kΩ ve v_2'ye 4 kΩ üzerinden bağlı v_1 node'u için, ayrıca 2 mA yukarı current source varsa:

$$\frac{v_1 - 12}{3} + \frac{v_1}{6} + \frac{v_1 - v_2}{4} = 2 \quad (\text{V/k}\Omega = \text{mA}).$$

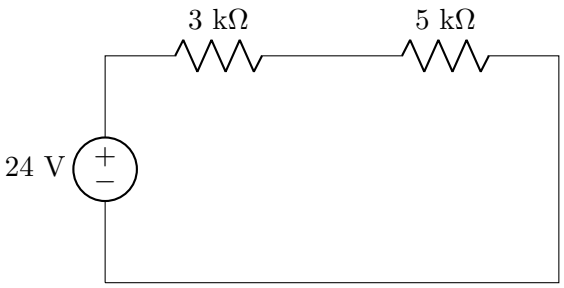
Bu denklemde ilk current negatif çıkabilir; bu 12 V tarafından node'a current geldiğini söyler. Negatif olabilecek bir payı başlangıçta "mutlaka çıkmalı" diye değiştirme.

3.4 KVL: Voltage toplamı neden sıfır?

KVL (Kirchhoff's Voltage Law; Kirchhoff gerilim kanunu), kapalı bir loop boyunca işaretli voltage değişimlerinin toplamının sıfır olduğunu söyler. Başlangıç node'una dönünce net potansiyel değişimi sıfırdır. Dersin lumped modelinde uygulanır:

$$\sum_{loop} \Delta v = 0.$$

Bir elemanı eksi uçtan artı uca geçerken voltage rise (gerilim artışı) $+v$; artı uçtan eksi uca geçerken voltage drop (gerilim düşümü) $-v$ yazılır. İstersen bütün denklemi düşümler pozitif olacak biçimde de kurabilirsin; sonuç aynı olur.



Source üst terminali +; current saat yönünde

Source altından başlayıp saat yönünde yürürsek $24 - 3I - 5I = 0$. $I = 3$ mA; drops 9 V ve 15 V. Current ters seçilse $I = -3$ mA bulunur. Voltage source'un + ucunun çizimde gerçekten hangi tarafta olduğunu kontrol etmek her zaman zorunludur.

3.5 İki source varsa: Aiding ve opposing

Aynı loop'taki source'lar seçilen yürüyüşte ikisi de voltage rise üretiyorsa aiding (destekleyen); biri rise, biri drop üretiyorsa opposing (karşıt) etki yapar. Kaynakları her zaman toplayıp geçme.

İki source'lu loop

Saat yönündeki yürüyüşte 10 V rise, 4 V drop ve toplam 3 kΩ resistor vardır. Saat yönündeki current'ı bulunuz. 4 V source power supplies mı absorbs mı?

Çözüm

$10 - 4 - 3I = 0$ ile $I = 2$ mA. 10 V source -20 mW absorbed power ile güç verir. Current 4 V source'un + ucundan girdiği için $+8$ mW absorbs. Resistor toplam $I^2R = 12$ mW absorbs. Kontrol $-20 + 8 + 12 = 0$.

3.6 Branch currents ve mesh currents aynı değildir

Branch current fiziksel bir elemandan geçen current'tır. Mesh current bir hesap bilinmeyenidir. İki mesh'in paylaştığı resistor üzerinde birbirine ters yönlü katkılar varsa branch current $i_1 - i_2$ olur. i_1 ve i_2 ayrı ayrı fiziksel resistor current'ı diye yazılamaz.

Loop yönünü değiştirmek voltage polarity'yi değiştirmek değildir. Bir ölçüm için v_x polarity'si soruda verilmişse, sonuç o polarity'ye göre raporlanır. KVL'yi başka yönde yazman ölçümün tanımını değiştirmez.

3.7 Bağımlı kaynak içeren tek loop: Kaynak fotoğrafı [K0436]

Şekilde 15 V independent source; 1Ω, 5Ω, 2Ω series resistor'lar; $2v_x$ dependent voltage source vardır. v_x, 5Ω üzerindeki üstü + olan voltage'dır. Dependent source'un sol ucu +, sağ ucu eksi olarak okunur. Saat yönünde current i seçilirse:

$$v_x = 5i, \qquad 15 - i - 2v_x - 5i - 2i = 0.$$

$15 - 8i - 10i = 0$ ile $i = 5/6$ A, $v_x = 25/6 \simeq 4.167$ V. Dependent source 8.333 V drop oluşturur. Power kontrolü: independent source -12.5 W, resistor toplam $8(5/6)^2 = 5.556$ W, dependent source $(2v_x)i = 6.944$ W; toplam sıfırdır. Burada dependent source power absorbs.

Polarity değişirse sonuç değişir

Bu örnekte $2v_x$ kaynağının polarity'si ters olsaydı KVL'de $+2v_x$ olurdu. Aynı sayıları kullanıp önceki sonucu kopyalamak yanlış olur. Kaynak görseli ve yeniden çizilen polarity, soru bankasında açıkça belirtilmiştir. Dosyanın vize olduğu doğrulanmadığından örnek soru etiketi kullanılmıştır.

3.8 Tellegen kontrolünü sistematik uygulamak

1) Her eleman için voltage polarity'sini işaretle. 2) Her branch current yönünü yaz. 3) Current + uçtan giriyorsa vi, eksi uçtan giriyorsa $-vi$ ile absorbed power bul. 4) İşaretli değerleri topla. Toplam sıfır değilse önce source polarity'sini, sonra current yönlerini ve birimleri denetle. Sıfıra yakın küçük fark yalnızca yuvarlamadan gelebilir; büyük fark işaret/denklem hatasına işaret eder.

3.9 Sınavda çözümün yazım düzeni

Yalnızca final current yazmak yerine unknown yönünü çiz, kullandığın KCL/KVL denklemini göster, sonra çöz. Bir source current'ı soruluyorsa o kaynağa Ohm's Law uygulama; önce çevresindeki branch current'larını bulup KCL uygula. Bir voltage source'a paralel resistance varsa voltage bilinir ama source current'ı bütün paralel yolların net current'ına bağlıdır.

Kendini sına

1) Node'a 4 A ve 2 A giriyor, 9 A ve i çıkıyor. i? 2) Bir loop'ta 18 V rise, 6 V drop ve 4Ω resistance varsa current? 3) $v_a = -2$, $v_b = 6$ V arasında 2 kΩ için A'dan B'ye current?

Çözüm

1) $4 + 2 = 9 + i$; $i = -3$ A, gerçek current node'a giriyor. 2) $18 - 6 - 4i = 0$; $i = 3$ A. 3) $(-2 - 6)/2 = -4$ mA; gerçek yön B'den A'ya.

4 Nodal Analysis and Supernode

Hedef ve kaynaklar

Nodal Analysis (düğüm analizi), KCL kullanarak node voltage'larını bulur. Ground'a bağlı source, floating voltage source (referansa bağlı olmayan gerilim kaynağı), supernode (süper dü-

ğüm), dependent source ve matrix çözümü ele alınır. Kaynaklar: Week 4 [K0223] s.3–9, BZ203 Lec 3 [K0215], yeni sınıf fotoğrafları [K0573–K0585]. Nodal kapsamı eski yılların öğrenci aktarımlarında değişiyor; en güncel eklediğin tahta fotoğrafları bu konunun ders materyalinde bulunduğunu doğrudan gösteriyor, fakat çekim tarihi dosya gönderim tarihinden kesin çıkarılamaz.

4.1 Neden node voltage unknown seçilir?

Her resistor current'ı iki uç voltage farkıyla bulunabilir. Dolayısıyla bütün node voltage'ları bilindiğinde resistor current'ları da bilinir. Bir connected circuit'te n node'dan biri ground seçilince en fazla $n-1$ voltage unknown kalır. Current source'ları fazla olan devrelerde KCL özellikle kolaydır.

Başlangıç adımları: kesintisiz telleri aynı node olarak işaretle; ground seç; diğer node'ları $v_1, v_2, \ldots$ diye adlandır; ground'a bağlı ideal voltage source varsa dayattığı voltage'ı doğrudan yaz; unknown node'lar için KCL kur; dependent source kontrol denklemlerini ekle; sistemi çöz; istenen branch büyüklüğünü çıkar; sonucu denklemlere geri koy.

4.2 Standart KCL yazımı

Bir node'dan çıkan resistor current'larını sol tarafa, o node'a net giren source current'ını sağ tarafa yazmak kullanışlıdır:

$$\sum_{j} \frac{v_k - v_j}{R_{kj}} = I_{net,k}.$$

Ground için $v_j = 0$. Bilinen 12 V node'u için $v_j = 12$. Sağ taraftaki current source node'dan dışarı yöneliyorsa negatif yazılır. Bu şablon, işaretleri her seferinde yeniden tahmin etmekten daha güvenlidir.

4.3 Tek node ile tam çözüm

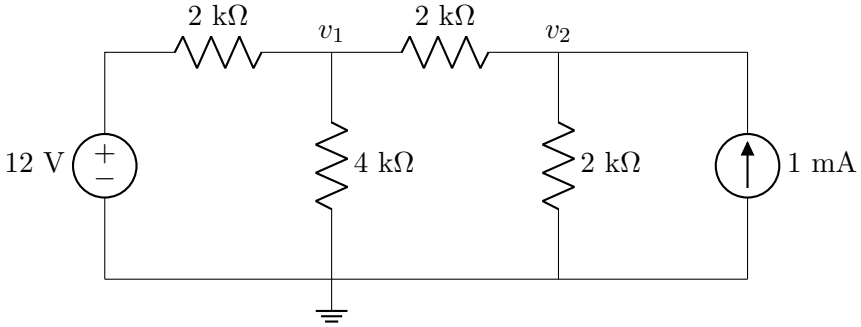
v node'u ground'a 3 kΩ ve 6 kΩ ile bağlı; 2 mA source ground'dan node'a current enjekte etsin:

$$\frac{v}{3} + \frac{v}{6} = 2 \quad \Rightarrow \quad \frac{v}{2} = 2 \quad \Rightarrow v = 4 \text{ V}.$$

Branch current'ları 4/3 ve 2/3 mA; toplam 2 mA. Parallel equivalent 2 kΩ üzerinden de $v = 2 \cdot 2 = 4$ V bulunur. Aynı devreyi iki yöntemle çözmek node denkleminin fiziksel anlamını gösterir.

4.4 İki unknown node: Şema ve denklemler

Öğretici örnekte 12 V source'un üst terminali bilinen +12 V node'udur. A node'una 2 kΩ ile bağlıdır. A'dan ground'a 4 kΩ, A–B arasında 2 kΩ, B'den ground'a 2 kΩ vardır. B'ye ground'dan 1 mA enjekte edilir.



A için $(v_1 - 12)/2 + v_1/4 + (v_1 - v_2)/2 = 0$. Paydalar kΩ cinsinde olduğundan current'lar mA'dir. Dört ile çarparsak $5v_1 - 2v_2 = 24$.

B için $(v_2 - v_1)/2 + v_2/2 = 1$, dolayısıyla $-v_1 + 2v_2 = 2$. İki denklemi toplarsak $4v_1 = 26$; $v_1 = 6.5$ V ve $v_2 = 4.25$ V.

4.5 Sonuçları current ve power ile doğrulamak

Source'tan A'ya current $(12 - 6.5)/2 = 2.75$ mA. A'dan ground'a 1.625 mA; A'dan B'ye 1.125 mA. A KCL: $2.75 = 1.625 + 1.125$. B'den ground'a $4.25/2 = 2.125$ mA; B KCL: $1.125 + 1 = 2.125$.

12 V source 33 mW, 1 mA source 4.25 mW supplies. Resistor power'ları sırasıyla 15.125, 10.5625, 2.53125 ve 9.03125 mW; toplam 37.25 mW. İki source'un supplied toplamıyla eşittir. İki farklı KCL ile power kontrolü aynı sonucu doğrular.

4.6 Conductance matrix nasıl kurulur?

Yalnızca resistor'lar ve bilinen source current'ları olan standart durumda:

$$\begin{bmatrix} G_{11} & -G_{12} \\ -G_{12} & G_{22} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}.$$

Diagonal (köşegen), ilgili node'a bağlı bütün conductance'ların toplamıdır. Off-diagonal (köşegen dışı), iki unknown node arasındaki conductance toplamının negatifidir. Bilinen voltage node'una bağlı resistor, sağ tarafa $GV_{bilinen}$ katkısı verir. Önceki örneğin mS tabanında matrisi:

$$\begin{bmatrix} 1.25 & -0.5 \\ -0.5 & 1 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} 6 \\ 1 \end{bmatrix}.$$

Dependent source eklenince matris simetrik olmayabilir. Bu nedenle "off-diagonal her zaman simetrik olmalı" kontrolünü controlled source devrelerine körlemesine uygulama.

4.7 Ground'a bağlı voltage source

Source'un eksi terminali ground'da, artı terminali v_1 node'undaysa $v_1 = V_s$. Ayrı bir KCL yazmadan bu voltage'ı bilinen kabul edebilirsin. Polarity tersse $v_1 = -V_s$. O source'un current'ı istenirse çözüm sonunda node'a bağlı bütün diğer branch current'larıyla KCL uygula.

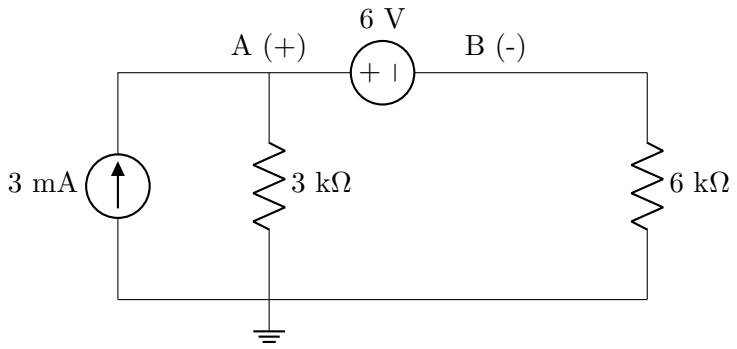
4.8 Floating voltage source neden Supernode gerektirir?

Voltage source'un iki ucu da unknown node'lardaysa source current'ı doğrudan voltage farkından bulunamaz. İki node'a ayrı KCL yazarsan ek bir unknown source current'ı oluşur. Supernode yöntemi, bu iki KCL'yi toplayıp iç source current'ını yok eder.

Supernode sınırının içindeki current'ları toplama; yalnızca dışarıya geçen branch current'larını yaz. Buna ek olarak source'un dayattığı voltage constraint (gerilim kısıtı) gerekir. Bir KCL ile iki unknown çözülemez.

4.9 Supernode: Tam sayısal örnek

A node'u ground'a 3 kΩ, B node'u ground'a 6 kΩ ile bağlı. Ground'dan A'ya 3 mA source var. A ile B arasındaki ideal 6 V source'un A ucu +, B ucu eksi. Dolayısıyla $v_A - v_B = 6$ V.



Supernode KCL: $v_A/3 + v_B/6 = 3$. Constraint: $v_A - v_B = 6$. İlkini 6 ile çarparsak $2v_A + v_B = 18$. Toplayınca $3v_A = 24$, yani $v_A = 8$ V ve $v_B = 2$ V.

Source current'ı A'dan B'ye i_s olsun. A için $3 = 8/3 + i_s$ ile $i_s = 1/3$ mA. B için $i_s = 2/6 = 1/3$ mA; iki denklem uyuşur. Supernode çözümü iç current'ı yok saymaz; onu çözüm sonuna bırakır.

4.10 Dependent source ile nodal denklem

Tek node v, ground'a 2 kΩ resistor ile bağlı olsun. 1 mA independent source ve $0.25v$ mA dependent source ground'dan node'a current versin. 0.25 katsayısı mS'dir:

$$\frac{v}{2} = 1 + 0.25v \quad \Rightarrow \quad 0.25v = 1 \quad \Rightarrow v = 4 \text{ V}.$$

Resistor current'ı 2 mA; independent source 1 mA, dependent source 1 mA sağlar. Dependent source'u "kaynak kapatma" düşüncesiyle yok etmek sonucu 2 V'a indirir ve yanlıştır.

Dependent voltage source iki unknown node arasında ise yine supernode kurulur. Örneğin $v_1 - v_2 = \mu v_x$; kontrol voltage'ı $v_x = v_3 - v_4$ olarak ayrıca yazılır. Tahta fotoğraflarındaki yöntem budur: önce çevreyi/supernode'u seç, sonra controlled source denklemini ekle.

4.11 Fotoğrafları okuma ve kanıt sınırı

K0575 ve K0584'te aynı tip iki-node KCL kurulumu; K0577 ve K0583'te baklava source içeren supernode/loop ilişkileri seçilebiliyor. Açılar ve silik yazılar nedeniyle bütün sayısal katsayılar güvenilir biçimde okunmuyor. Bu sayfalardan sadece görünür topology ve yöntem kanıtı alınmıştır. Buradaki temiz sayısal örnekler açıklayıcı yeni alıştırmalardır; özgün fotoğrafın birebir sorusu gibi sunulmaz.

4.12 En sık hatalar ve düzeltme yöntemi

Floating source'a $I = V/R$ uygulamak; supernode'un içine ait source current'ını dış KCL'ye yazmak; constraint'i unutmak; current source okunu ters okumak; ground'a bağlı source polarity'sini kaybetmek; v_x tanımını yazmamak temel hatalardır. Her satırda önce branch'in başlangıç ve bitiş node'unu adlandırarak bunları önleyebilirsin.

Kendini sına

A ve B supernode'u için $v_A/2 + v_B/4 = 5$ mA, constraint $v_A - v_B = 4$ V. Node voltage'larını bulunuz. A'dan ground'a current kaçtır?

Çözüm

$2v_A + v_B = 20$, $v_B = v_A - 4$; $3v_A = 24$. $v_A = 8$ V, $v_B = 4$ V. A branch current'ı $8/2 = 4$ mA. B branch current'ı 1 mA; toplam 5 mA.

5 Mesh Analysis, Loop Analysis and Supermesh

Hedef ve kaynaklar

Mesh Analysis (göz analizi) ve Loop Analysis (çevre analizi), KVL'yi uygun current unknown'larıyla sistematik uygular. Kaynaklar: Week 5 [K0183] s.2–6, BZ203 Lec 3 [K0215], sınıf fotoğrafları [K0576–K0585]. 7 Kasım 2025 tarihli öğrenci sohbetinde "bir loop sorusu" aktarımı bulunur [K0432]; bu tarihsel, ikinci el bilgidir. Güncel sınav için garanti olarak kullanılmamıştır.

5.1 Mesh current seçimi ve ortak branch

Planar bir circuit'te her küçük mesh'e bir current ata. Hepsini clockwise (saat yönü) seçmek işaret takibini kolaylaştırır. Fiziksel current'ın bu yönde olmasına gerek yoktur. İçinde başka loop bulunan dış çerçeve ayrıca bağımsız mesh sayılmaz.

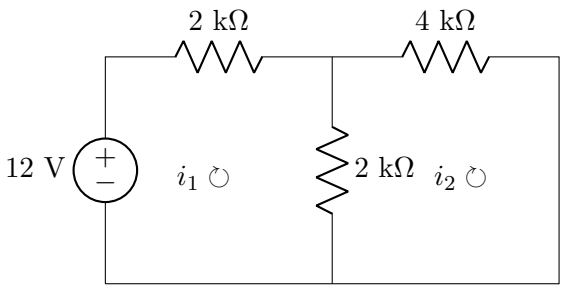
İki yan yana mesh'in ortak dikey resistor'ında soldaki clockwise current aşağı, sağdaki clockwise current yukarı akar. Aşağı yönlü branch current $i_1 - i_2$'dir. Soldaki mesh KVL'sinde drop $R(i_1 - i_2)$; sağdaki mesh için kendi yürüyüşüne göre drop $R(i_2 - i_1)$ olur.

Ortak resistor'da aynı ifadeyi iki KVL'ye kopyalama

Saat yönünde seçilmiş iki mesh için aynı ortak resistance'ın sol denklemde $R(i_1 - i_2)$, sağ denklemde $R(i_2 - i_1)$ olması gerekir. İki denklem farklı yürüyüş yönlerinden bakar. 2025 sohbetindeki paylaşımlarda bu işaret tartışması da bulunuyor; burada doğru referans kuralı çizimden türetilmiştir.

5.2 İki mesh: Tam çözüm ve fiziksel kontrol

Soldaki dış resistor 2 kΩ, sağdaki dış resistor 4 kΩ, ortak resistor 2 kΩ olsun. Sol mesh'te saat yönünde 12 V source rise vardır. Sağ dış branch'te source yoktur. i_1, i_2 saat yönünde mA seçilsin.



Sol KVL: $-12 + 2i_1 + 2(i_1 - i_2) = 0$. Sağ KVL: $4i_2 + 2(i_2 - i_1) = 0$. Düzenleyelim:

$$4i_1 - 2i_2 = 12, \qquad -2i_1 + 6i_2 = 0.$$

İkinci denklem $i_1 = 3i_2$ verir. İlkinde $12i_2 - 2i_2 = 12$, dolayısıyla $i_2 = 1.2$ mA ve $i_1 = 3.6$ mA. Ortak branch current aşağı doğru 2.4 mA; ortak voltage 4.8 V. Sağ resistor da aynı üst-alt node'lara bağlıdır; $4 \cdot 1.2 = 4.8$ V ile uyuşur.

Reduction kontrolü: ortak 2 kΩ ile sağdaki 4 kΩ paralel olup 4/3 kΩ eder; soldaki 2 kΩ ile toplam 10/3 kΩ. Source current $12/(10/3) = 3.6$ mA. Power: source 43.2 mW supplies; resistor'lar $25.92 + 11.52 + 5.76 = 43.2$ mW absorbs.

5.3 Resistance matrix

Yalnızca resistor ve voltage source içeren mesh sisteminde diagonal, mesh çevresindeki resistance'ların toplamıdır; off-diagonal, ortak resistance'ın negatifidir:

$$\begin{bmatrix} 4 & -2 \\ -2 & 6 \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} 12 \\ 0 \end{bmatrix}.$$

Bu örnekte kΩ ile mA kullanıldığından sağ taraf V'dir. Bir loop'ta source rise pozitif, drop negatif olacak şekilde source toplamını sağ tarafa yazabilirsin. Bütün mesh'ler aynı yönde seçilmezse off-diagonal işaret kuralı değişebilir; en güvenli yol shared branch current'ını tek tek yazmaktır.

5.4 Üç mesh için örnek denklem sistemi

Lineer bir üç-mesh ağının resistance matrisi şu olsun:

$$\begin{bmatrix} 4 & -1 & 0 \\ -1 & 5 & -2 \\ 0 & -2 & 6 \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} = \begin{bmatrix} 10 \\ 0 \\ 4 \end{bmatrix}.$$

Sol ve orta mesh arasında 1, orta ve sağ arasında 2 kΩ ortak resistance vardır; sol ve sağın ortak resistance'ı yoktur. Diagonal toplamları 4,5,6 kΩ'dur. İlk denklem $i_1 = 2.5 + 0.25i_2$, üçüncü $i_3 = 2/3 + i_2/3$. İkinciye yerleştirince $(49/12)i_2 = 23/6$; $i_2 = 46/49 = 0.9388$ mA. Ardından $i_1 = 134/49 = 2.7347$ mA, $i_3 = 48/49 = 0.9796$ mA. Ortadaki ortak branch $i_2 - i_3 = -2/49$ mA bulunabilir; negatif branch sonucu normaldir.

5.5 Dış branch'teki current source

Bir current source yalnızca tek mesh'in dış sınırındaysa mesh current zaten bilinir. Ok mesh yönüyle aynıysa $i_k = I_s$, tersse $i_k = -I_s$. O mesh için ayrıca bilinmeyen source voltage'lı KVL yazmak zorunda değilsin. Diğer mesh denklemlerinde bu bilinen current'ı kullan. Source voltage'ı sorulursa bütün current'lar bulunduktan sonra KVL ile hesapla.

5.6 Shared current source ve Supermesh

Current source iki mesh'in ortak sınırındaysa uç voltage'ı önceden bilinmez. İki mesh'in dış sınırlarını birleştirip source'u içte bırakan büyük loop'a Supermesh (süper göz) denir. Supermesh KVL'si yazılır; ayrıca current source'un dayattığı current difference eklenir.

Örneğin ortak source aşağı yönde J taşıyor ve soldaki i_1 aşağı, sağdaki i_2 yukarı katkı yapıyorsa:

$$i_1 - i_2 = J.$$

Bu constraint'in işareti ezberden değil, shared source'un ok yönünden gelir. Supermesh denkleminde o source üzerinde RJ gibi bir drop yazılmaz; ideal current source bir resistor değildir.

5.7 Supermesh: Sayısal örnek

İki mesh'in ortak current source'u aşağı 1 mA. Sol dış resistance 2 kΩ, sağ dış resistance 4 kΩ; dış çevrede toplam 10 V rise var. Supermesh KVL ve constraint:

$$2i_1 + 4i_2 = 10, \qquad i_1 - i_2 = 1.$$

$i_1 = i_2 + 1$ yazınca $6i_2 + 2 = 10$; $i_2 = 4/3$ mA, $i_1 = 7/3$ mA. Shared current gerçekten 1 mA. Source polarity veya source arrow ters çevrilirse constraint veya sağ taraf değişir; aynı çözüm kullanılamaz.

5.8 Dependent source ile mesh

Dependent voltage source KVL'de normal voltage source gibi yer alır, ancak kontrol bağıntısı eklenir. Bir shared resistor üzerindeki kontrol voltage'ı $v_x = R(i_1 - i_2)$ ise dependent source $\mu R(i_1 - i_2)$ olur. Independent ve dependent kaynakları ayırt etmek özellikle Superposition/Thevenin'de zorunludur.

Dependent current source ortak branch'te ise supermesh constraint'i $i_1 - i_2 = \beta i_x$ veya $i_1 - i_2 = g v_x$ şeklindedir. i_x ile v_x'i mesh unknown'larıyla ifade etmeden sistemi çözmeye çalışma.

5.9 Loop mu Mesh mi Nodal mı?

Current source çok ve node sayısı azsa Nodal; voltage source çok ve mesh sayısı azsa Mesh pratik olur. Ground'a bağlı voltage source Nodal'de bir voltage unknown'ını kaldırır. Shared current source Mesh'te supermesh gerektirir. Floating voltage source Nodal'de supernode gerektirir. Soru açıkça bir yöntemi istiyorsa başka yöntem yalnızca kontrol için kullanılır.

Yöntem seçerken equation sayısını tahmin et: bağımsız node sayısı ve mesh sayısını karşılaştır. Sonra unknown'ı doğrudan sorulan büyüklüğe yakın seç. Bir resistor üzerindeki output voltage'ı istiyorsa ilgili branch current farkını en sona açıkça yaz.

5.10 Çözüm şablonu ve son kontrol

Her mesh'e ok çiz. Shared resistor'ların üstüne current farkını yaz. KVL'yi önce sadeleştirmeden kur; sonra katsayıları topla. Current source constraint'lerini ayrı satırda göster. Sistemi çözdükten sonra branch current'larını çıkar. Power balance ve en az bir farklı node KCL'siyle kontrol et.

Kendini sına

İki mesh için $6i_1 - 2i_2 = 10$ ve $-2i_1 + 4i_2 = 0$ (kΩ, mA) verilmiş. Shared resistance 2 kΩ. i_1, i_2 ve shared voltage'ı bulunuz.

Çözüm

İkinci denklem $i_1 = 2i_2$. İlkinden $10i_2 = 10$; $i_2 = 1$ mA, $i_1 = 2$ mA. Soldaki mesh yönündeki shared current $i_1 - i_2 = 1$ mA, shared drop 2 V.

6 Superposition, Source Transformation and Equivalent Circuits

Kapsam ve kaynaklar

Bu bölüm, dönemlere göre vize sınırı değişebilen konuları da kapsar. Ana kaynaklar BZ203 Lec 4 [K0216], Week 6–8 [K0184–K0186], sorular [K0552–K0557]. 2025 sohbetinde Thevenin/Norton'un vize sonrasına kaldığına ilişkin mesajlar var; bunlar o yılın öğrenci aktarımlarıdır. Güncel vize kapsamına kesin dahil oldukları iddia edilmez. Temel konular bittiğinde kapsam kontrolüyle çalışılacak tamamlayıcı bölümdür.

6.1 Linearity: Neyi toplayabiliriz?

Linearity (doğrusallık), homogeneity (ölçekleme) ve additivity (toplanabilirlik) özelliklerinin birlikte sağlanmasıdır. Dirençli doğrusal ağda bir source iki katına çıkarılıp diğerleri uygun biçimde sıfırlanırsa ona bağlı response da iki katına çıkar. Response burada current veya voltage'dır.

Power, i^2R veya v^2/R içerdiği için doğrusal response değildir. Örneğin iki source'un ayrı ayrı oluşturduğu current'lar 1 A ve 2 A ise toplam current 3 A; resistor power ise $9R$ olur. Ayrı power'ları $R + 4R = 5R$ toplamak doğru değildir.

6.2 Source deactivation: Sıfırlamak ne demek?

Independent voltage source'u sıfırlamak $v = 0$ demektir; ideal short circuit ile değiştirilir. Independent current source'u sıfırlamak $i = 0$ demektir; ideal open circuit ile değiştirilir. Source'a ait ayrı bir iç resistance çizilmişse o resistor devrede kalır.

Dependent Sources kapatılmaz

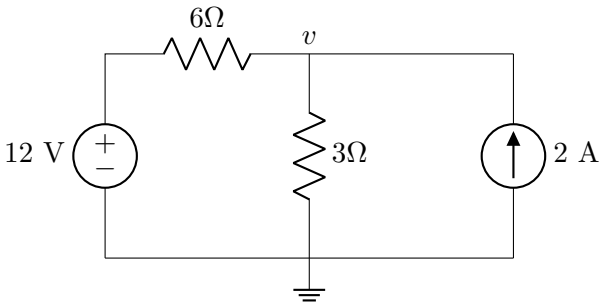
Superposition veya R_{Th} hesabında dependent source devrede kalır. Kontrol current'ı/voltage'ı ilgili alt devrede yeniden çözülür. Onun değeri sıfır çıkabilir, fakat başlangıçta kaynak "bağımlı olduğu için" keyfi kaldırılmaz.

6.3 Superposition Theorem: Adım adım

1) Bulunacak current/voltage için tek bir referans tanımla. 2) Bir independent source'u aktif tut. 3) Diğer independent source'ları sıfırla. 4) O source'un response katkısını hesapla. 5) Her independent source için tekrarla. 6) İşaretli katkıları topla. 7) İsteniyorsa power'ı toplam current/voltage'dan hesapla.

Bir alt devrede current yönü ilk seçimine ters çıkarsa negatif katkı yazılır. Alt devreler arasında ölçüm polarity'sini veya current okunu değiştirmek işaretlerin toplanmasını anlamsız yapar.

6.4 Superposition: Çözümü iki yolla doğrulamak

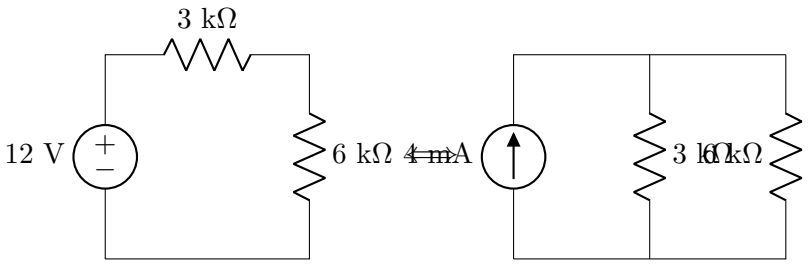


Bir node v ground'a 6 Ω ve 3 Ω ile bağlıdır. 6 Ω yolunun öteki ucu +12 V'a bağlı; 3 Ω doğrudan ground'a bağlıdır. Ground'dan node'a 2 A current source eklenmiştir.

Yalnız voltage source aktif: current source open; $v' = 12 \cdot 3/(6 + 3) = 4$ V. Yalnız current source aktif: voltage source short; $6 \parallel 3 = 2\Omega$, $v'' = 2 \cdot 2 = 4$ V. Toplam $v = 8$ V. 3 Ω üzerindeki current 8/3 A.

Tek KCL kontrolü: $(v - 12)/6 + v/3 = 2$; $v - 12 + 2v = 12$, $v = 8$ V. Load power $v^2/3 = 64/3$ W. Alt devre power'ları $16/3 + 16/3 = 32/3$ W toplamı bu değere eşit değildir; power superposition uygulanmaz.

6.5 Source Transformation: Terminal equivalence



V_s voltage source'una series R bağlıysa, aynı iki terminalden bakıldığında $I_s = V_s/R$ current source'una parallel aynı R ile eşdeğerdir. Ters dönüşüm $V_s = I_s R$:

$$V_s \text{ series } R \quad \Longleftrightarrow \quad I_s = V_s/R \text{ parallel } R.$$

Current source oku equivalent voltage source'un + terminaline doğru olmalıdır. Eşdeğerlik, dış terminal voltage–current ilişkisini korur. İçteki source'un power'ı ve series resistance current'ı, dönüşümden sonra birebir aynı olmak zorunda değildir.

Örnek: 12 V series 3 kΩ yerine 4 mA parallel 3 kΩ. 6 kΩ load bağlıyken voltage biçimi $V_L = 12 \cdot 6/(3+6) = 8$ V; current biçimi $I_L = 4 \cdot 3/(3+6) = 4/3$ mA ve $V_L = 8$ V. Terminal sonucu aynıdır.

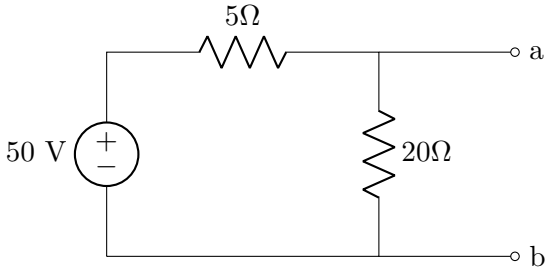
6.6 Thevenin's Theorem: Yükü çıkarıp soldaki ağı görmek

Linear iki-terminal bir network, bir V_{Th} source ve series R_{Th} ile temsil edilebilir. V_{Th}, load çıkarılmışken open-circuit terminal voltage V_{oc}'dir. Load'un current'ı sıfır olsa bile iç ağdaki bütün current'lar sıfır olmayabilir.

Yöntem: load'u ayır; a–b terminal polarity'sini seç; aktif kaynaklarla V_{oc} bul; bağımsız kaynakları kapatıp a–b'den görülen equivalent resistance'ı bul; dependent source varsa test source yöntemi kullan; load'u tekrar bağla:

$$I_L = \frac{V_{Th}}{R_{Th} + R_L}, \qquad V_L = \frac{V_{Th} R_L}{R_{Th} + R_L}.$$

6.7 Çıkmış finalden temel soru: 50 V, 5 ve 20 ohm [K0290 S19]



50 V source, series 5 Ω ve ground'a 20 Ω ile divider oluşturuyor; a–b terminalleri 20 Ω ile aynı iki node'dadır. Harici load henüz bağlı değildir. $V_{Th} = 50 \cdot 20/(5+20) = 40$ V.

Source short yapıldığında 5 Ω ile 20 Ω aynı a–b terminalleri arasında paralel görünür: $R_{Th} = 5 \parallel 20 = 4\Omega$. Yanlış 25 Ω cevabı, source kapatıldıktan sonraki yeni bağlantıyı yeniden çizmemekten gelir. Özgün soru final etiketlidir; vize sorusu sayılmamıştır.

6.8 Norton's Theorem ve kısa devre current'ı

Norton equivalent, I_N current source ve parallel R_N'dir. $R_N = R_{Th}$, $I_N = I_{sc} = V_{Th}/R_{Th}$. I_{sc}, a–b short yapıldığında dış short üzerinden a'dan b'ye seçilen current'tır.

Önceki örnekte $I_N = 40/4 = 10$ A. Doğrudan kontrol: a–b short yapılınca 20 Ω bypass olur ve 50 V sadece 5 Ω üzerinden 10 A üretir. Bu 10 A short'tan geçer. Network'ün normal open-circuit iç current'ı 2 A iken short current'ının 10 A olması çelişki değildir; terminal koşulu değişmiştir.

6.9 Test source ile R_{Th}: Dependent source varsa

Independent source'ları kapat, dependent source'ları koru. a–b'ye $V_t = 1$ V test source uygula; network'e a ucundan giren I_t current'ını çöz. $R_{Th} = V_t/I_t$. İstersen $I_t = 1$ A enjekte edip çıkan V_t'yi bul. Test source yönü ile oran işareti tutarlı olmalıdır.

Öğretici örnek: port'a paralel 2 kΩ resistor ve port'tan ground'a $0.5v$ mA dependent source var; v port voltage'ı. 1 V test voltage altında resistor 0.5 mA, dependent source 0.5 mA çeker; toplam 1 mA. $R_{Th} = 1$ V/1 mA = 1 kΩ. Sadece görünen resistor'ı alıp 2 kΩ demek yanlıştır.

Dependent source ağı enerji sağlayabildiğinden test source hesabında negatif equivalent resistance da mümkün olabilir. Bu notlardaki maksimum power formülü ise pozitif R_{Th} varsayımıyla verilmiştir.

6.10 Maximum Power Transfer: Hangi load?

Pozitif R_{Th}'li DC resistive Thevenin ağı için:

$$P_L = I_L^2 R_L = \frac{V_{Th}^2 R_L}{(R_{Th} + R_L)^2}.$$

Load çok küçükse current büyük ama load voltage küçük; load çok büyükse voltage büyük ama current küçük. Türev sıfırlandığında:

$$R_L = R_{Th}, \qquad P_{max} = \frac{V_{Th}^2}{4R_{Th}}.$$

50 V örneğinin equivalent'ı 40 V, 4Ω idi. En uygun load 4 Ω, current 5 A, load voltage 20 V ve $P_{max} = 100$ W. Aynı equivalent iç resistance da 100 W tüketir; bu çalışma noktası maksimum verim anlamına gelmez. Thevenin biçiminde güç aktarım verimi %50'dir.

6.11 Aynı soru için yöntem seçimi

Birden fazla load değeri isteniyorsa Thevenin/Norton başlangıç maliyetini karşılar. Birkaç independent source'un katkıları soruluyorsa Superposition kullan. Series voltage source ile parallel current source biçimleri birbirine dönüştürülebiliyorsa Source Transformation devreyi azaltabilir. Bütün ağ için node voltage gerekiyorsa Nodal çoğu zaman daha doğrudan olur.

Kendini sına

$V_{Th} = 18$ V, $R_{Th} = 3$ kΩ. 1) Norton current? 2) $R_L = 6$ kΩ için I_L, V_L? 3) Maximum power için R_L ve P_{max}?

Çözüm

1) 6 mA. 2) $18/(3+6) = 2$ mA, $V_L = 12$ V. 3) $R_L = 3$ kΩ ve $P_{max} = 324/(4 \cdot 3000) = 27$ mW. Superposition uygulanıyorsa önce current/voltage toplanır, en son power hesaplanır.

7 Capacitors, Inductors and Scope-dependent Topics

Bu bölümün vizeyle ilişkisi

Bu tamamlayıcı bölüm Week 8–12 [K0186–K0187, K0222, K0180] ve final kâğıtlarına dayanır. Capacitors (kondansatörler), inductors (bobinler), switching (anahtarlama), sinusoids (sinüzoidler), phasors (fazörler) ve impedance (empedans) eski final sorularında belirgindir. Güncel vizeye dahil oldukları doğrulanmamıştır. Önce temel DC konularını bitir; bu bölümü güncel ders sınırına göre kullan. Diode, rectifier, transistor ve Zener bu Electrical Circuits paketinin konu anlatımına alınmamıştır.

7.1 Capacitance: Charge ve voltage ilişkisi

Capacitor, elektrik alanında energy depolar. İdeal ve sabit capacitance için $q = Cv$, dolayısıyla PSC ile:

$$i_C = C\frac{dv_C}{dt}, \qquad w_C = \frac{1}{2}Cv_C^2.$$

Capacitor voltage'ı aniden değişirse ideal modelde impulsive current gerekir. Sonlu current altında $v_C(0^+) = v_C(0^-)$. Current ise aniden değişebilir. Long-time DC steady state (uzun süre sonraki DC kararlı durum) altında $dv_C/dt = 0$, bu yüzden capacitor open circuit gibi davranır. Bu yalnızca o kararlı durum içindir; anahtarlama anında capacitor'u doğrudan open yapıp initial voltage'ı kaybetme.

7.2 Geometry: Hoca vurgusu ve doğru yönler

Parallel-plate capacitor (paralel levhalı kondansatör) için yaklaşık:

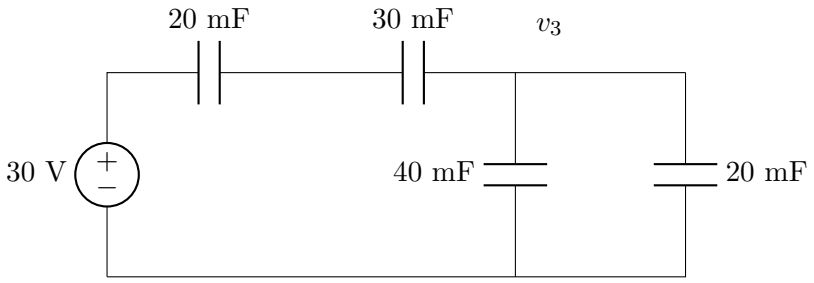
$$C = \epsilon_0\epsilon_r\frac{A}{d}.$$

Area A artarsa capacitance artar; spacing d artarsa azalır; permittivity ϵ_r artarsa artar. Bu yorumda diğer parametreler sabit tutulur.

! Hoca derste vurguladı [video ders 2 57:28–58:04]

Hoca levha yüzey alanının capacitance'a etkisini önceki dönem sınavında sorduğunu belirtiyor. Bu, temel Electrical Circuits ile ortak bir başlıktır. Ayrıca 13.01.2023 başlıklı final setindeki S11 aynı bağıntının yorumunu sorar [K0290]. Dosyadaki el işareti "all of above" olsa da doğru seçenek spacing arttığında C'nin azalmasıdır.

7.3 Series ve parallel capacitors



Parallel capacitor'ların voltage'ı aynıdır ve capacitance'ları toplanır: $C_p = \sum C_k$. Series capacitor'lar için $1/C_s = \sum 1/C_k$. Başlangıçta nötr, ara node'ları yalıtılmış bir series grupta charge büyüklüğü

aynıdır; voltage $V_k = Q/C_k$ olduğundan küçük capacitance daha fazla voltage taşır. Başlangıç charge'ları verilmişse bu basit eşit-charge varsayımı ayrıca kontrol edilir.

Örnek: 20 mF, 30 mF ve 60 mF series için equivalent 10 mF. 30 V altında $Q = C_{eq}V = 0.3$ C. Drops sırasıyla 15 V,10 V,5 V. 60 mF, parallel 40 mF ve 20 mF'den oluşabilir; o iki elemanın her birinde 5 V bulunur. Kaynak [K0290] S12–15.

7.4 Inductance: Current continuity

İdeal inductor manyetik alanda energy depolar. PSC ile:

$$v_L = L\frac{di_L}{dt}, \qquad w_L = \frac{1}{2}Li_L^2.$$

Sonlu voltage altında current aniden sıçramaz: $i_L(0^+) = i_L(0^-)$. Long-time DC steady state'te ideal inductor short circuit gibi davranır. Gerçek bobinde winding resistance (sargı direnci) vardır; bu yüzden "DC'de ideal L short, gerçek coil'de sargı direnci kalır" ayrımı yapılmalıdır.

Mutual coupling (karşılıklı endüktif bağlaşım) yoksa series inductance'lar toplanır; parallel için tersleri toplanır. Mutual coupling verilmişse bu basit formüller tek başına geçerli değildir. 2 H inductor current'ı doğrusal biçimde 0.5 s'de 3 A değişirse $v = L\Delta i/\Delta t = 12$ V; değişim doğrusal değilse bu hesap ortalama voltage verir.

7.5 Switching sorusu için üç ayrı zaman

$t = 0^-$ anahtarlama öncesi; $t = 0^+$ hemen sonrası; $t \to \infty$ yeni bağlantının uzun süre sonraki durumudur. Önce switch'in hangi konumda olduğunu ve önceki durumun uzun süre sürüp sürmediğini oku. Ardından:

1. 0^- DC steady state için C open, L short yap; $v_C(0^-)$ ve $i_L(0^-)$ bul.
2. Continuity ile $v_C(0^+)$ ve $i_L(0^+)$ değerlerini taşı.
3. Yeni devrenin final DC durumunu çöz; $v_C(\infty)$ ve $i_L(\infty)$ bul.
4. First-order devrede resistance seen by storage element ile time constant bul.

Bir capacitor'un continuity'si voltage içindir, current değil. Bir inductor'un continuity'si current içindir, voltage değil. Bu iki kuralı değiştirmek switching sorularının en yaygın hatasıdır.

7.6 First-order response ve time constant

Tek bağımsız energy-storage state içeren doğrusal RC/RL devresinde:

$$x(t) = x(\infty) + [x(0^+) - x(\infty)]e^{-t/\tau}.$$

RC için $\tau = R_{seen}C$; RL için $\tau = L/R_{seen}$. R_{seen} bulunurken independent source'lar kapatılır, dependent source varsa test source uygulanır. $t = \tau$'da başlangıç ile final arasındaki farkın %36.8'i, 5τ'da yaklaşık %0.67'si kalır.

Örnek: 10 V source, 2 Ω series resistance üzerinden 7 F capacitor'u beslesin. Önce switch açık ve uzun süre sonra $v_C(0^-) = 10$ V. $t = 0$'da capacitor'a parallel 2 Ω branch bağlansın. Yeni final voltage divider'dan 5 V; $R_{seen} = 2 \parallel 2 = 1\Omega$, $\tau = 7$ s. Response $v_C(t) = 5 + 5e^{-t/7}$ V. Capacitor başlangıçta 10 V'u korur, sonra 5 V'a iner. Bu, 2021 final Q16–17'nin topology'sine göre açıklayıcı çözümdür [EK-R1,EK-R2].

7.7 Sinusoid parametreleri ve RMS

$v(t) = V_m \cos(\omega t + \phi)$ için peak (tepe) V_m, angular frequency (açısal frekans) ω, phase (faz) ϕ'dir. $\omega = 2\pi f$, $T = 1/f$. Sıfır DC offset'li saf sinusoid için $V_{rms} = V_m/\sqrt{2}$. RMS (root mean square, etkin değer) ile instantaneous value (anlık değer) aynı değildir.

Örneğin $15\sin(4\pi t + 45°)$ için $\omega = 4\pi \simeq 12.57$ rad/s, $f = 2$ Hz, $T = 0.5$ s. 15 peak değeridir; RMS yaklaşık 10.607'dir. Fazı karşılaştırmadan önce iki ifadeyi aynı sin/cos tabanına ve pozitif amplitude'a dönüştür.

7.8 Phasor ve impedance

Sinusoidal steady state'te aynı angular frequency'ye sahip doğrusal devre için türev işlemi $j\omega$ ile çarpmaya dönüşür. Peak veya RMS phasor kullanılabilir; bütün devrede aynı convention korunmalıdır:

$$Z_R = R, \qquad Z_L = j\omega L, \qquad Z_C = \frac{1}{j\omega C} = -\frac{j}{\omega C}.$$

Series impedance'lar toplanır; parallel impedance'ların tersleri toplanır. Voltage divider bu kez $V_k = V_s Z_k / \sum Z$ olur. Inductor'da voltage current'ı 90 derece leads (önder); capacitor'da current voltage'ı 90 derece leads. Frequency arttıkça $|Z_L|$ artar, $|Z_C|$ azalır.

7.9 Çıkmış RL sinusoid örneği ve hatalı işaretli seçenek

13.01.2023 final setinde $v_s = 20\sin(10t + 30°)$ V, $R = 4\Omega$, $L = 0.2$ H [K0290 S2–3]. $Z = 4 + j2 = \sqrt{20}\angle 26.565°\Omega$:

$$i(t) = 4.472\sin(10t + 3.435°) \text{ A}.$$

Inductor voltage'ı current'tan 90 derece önde: $v_L(t) = 8.944\sin(10t + 93.435°)$ V. Sorudaki el işaretinin S3'te 100 A'lik bir şıkkı seçmesi doğru çözüm kanıtı değildir; doğru current amplitude $20/\sqrt{20} = 4.472$ A'dir.

7.10 Vize için çalışma sırası

Bu bölümdeki capacitor/inductor tanımları temel kavramlara katkı sağlar. Switching ve phasor başlıkları ise dersin güncel sınırında yoksa vize çalışmasının önüne alınmamalıdır. Arşivde final sorusu olması bir konunun vizede sorulduğunu kanıtlamaz. Ana DC konularını ve yeni sınıf fotoğraflarındaki Nodal/Loop denklemlerini önce tamamla.

Kendini sına

1) 2 F capacitor 120 V altında kaç C charge taşır? 2) 4 H ve 12 H parallel, mutual coupling yoksa equivalent? 3) $R = 2$ kΩ, $C = 100\,\mu$F için τ? 4) Frequency iki katına çıkarsa capacitor impedance büyüklüğü ne olur?

Çözüm

1) $q = CV = 240$ C. 2) $L_{eq} = 4 \cdot 12/(4 + 12) = 3$ H. 3) $\tau = 2000 \cdot 100 \times 10^{-6} = 0.2$ s. 4) Yarısına iner. İdeal capacitor DC steady state'te open; ideal inductor DC steady state'te short davranır.